



НЕЙРОКОМПЬЮТЕР

Авторы: А. И. Галушкин

НЕЙРОКОМПЬЮТЕР (от *нейро...* и *компьютер*), вычислительная система, в которой аппаратное и программное обеспечение оптимизировано для реализации алгоритмов решения задач на основе принципов работы *нейронных сетей*.

Появление Н. обусловлено прежде всего отказом от логического базиса (И, ИЛИ, НЕ), используемого в компьютерах с т. н. фон-неймановской архитектурой (см. Дж. фон *Нейман, Вычислительная машина*), сначала на уровне описания алгоритмов решения задач, затем на уровне элементной базы вычислительных машин с постепенным переходом на использование в качестве базовых элементов вычислительной системы формальных нейронов (с соответствующими алгоритмами настройки весовых коэффициентов входных сигналов), которые в простейшем случае моделируют функции биологических нейронов. Нейросетевые алгоритмы решения задач обеспечивают максимально возможный уровень распараллеливания вычислений при современной аппаратной реализации по сравнению с другими алгоритмами. По способу обработки сигналов различают цифровые, аналоговые и аналого-цифровые Н. (именно Н. обусловили тенденцию возврата к аналоговым методам обработки информации, обладающим высоким быстродействием и низкой стоимостью).

Н. применяют в основном для решения общесистемных задач (обработка сигналов – речевых, сейсмических, радиолокационных, гидроакустических и других; обработка изображений – биометрических, аэрокосмических и других; реализация систем принятия решений, система защиты информации и других), задач промышленного назначения (в геоинформационных, телекоммуникационных, космических, навигационных системах, для диагностики технических систем и других), социально-экономических задач (в медицине, биоинформатике, образовании, экономике и других).

Основные преимущества Н.: параллелизм вычислений, что обуславливает высокое быстродействие; низкие требования к стабильности и точности параметров элементарных узлов; устойчивость к помехам и разрушениям (выходу из строя) формальных нейронов при большой пространственной размерности системы (причём устойчивые и надёжные нейронные сети могут создаваться из низконадёжных элементов, имеющих большой разброс параметров).

Архитектура нейрокомпьютеров

Известны реализации Н. в виде совокупности [нейрочипов](#) (цифровых, аналоговых, аналого-цифровых); встраиваемых блоков, аппаратно реализующих различные физические принципы действия (оптические, молекулярные, квантовые); классических рабочих станций или суперЭВМ различной архитектуры с программным обеспечением, реализующим нейросетевые алгоритмы решения задач (см. [Нейронная сеть](#)). Специализированные нейрочипы часто реализуются на основе процессорных матриц (систолических процессоров). Такие нейрочипы близки к обычным RISC-процессорам [англ. restricted (reduced) instruction set computer – «компьютер с сокращённым набором команд»] и объединяют в своём составе некоторое число процессорных элементов, а управляющая и дополнительная логика, как правило, строится на базе дополнительных схем. Основное отличие нейрочипов от других процессоров – это обеспечение высокого параллелизма вычислений за счёт применения специализированного нейросетевого логического базиса или конкретных архитектурных решений. Использование возможности представления нейросетевых алгоритмов для реализации на нейросетевом логическом базисе является основной предпосылкой резкого увеличения производительности нейрочипов.

Различают также нейросигнальные процессоры, ядро которых составляют типовые процессоры цифровой обработки сигналов (ПЦОС), а реализованная на кристалле дополнительная логика обеспечивает выполнение характерных нейросетевых операций (например, дополнительный векторный процессор и т. п.).

Архитектура Н. на базе мультипроцессорных вычислительных комплексов (ВК) с отдельной памятью строится на основе элементарных машин (ЭМ), объединяемых в

вычислительный комплекс посредством коммуникационной сети. Каждая ЭМ состоит из центрального процессора (ЦП) и оперативной памяти (ОП); т. к. каждый процессор имеет свою собственную память, то отсюда название – вычислительный комплекс с разделённой оперативной памятью. Так как вычислительный комплекс состоит из достаточно автономных ЭМ, эту структуру можно считать и многомашинным вычислительным комплексом. ЭМ реализуются на базе т. н. транспьютеров [transputer = TRANSfer (передатчик) + comPUTER (вычислитель), разработан фирмой «Inmos» (Великобритания) в 1979]. Транспьютер – элемент построения многопроцессорных систем, выполненный на одном кристалле большой (сверхбольшой) интегральной схемы (СБИС). Объективной причиной их появления стала возможность реализовать в одном кристалле 16-разрядный (а несколько позднее 32-разрядный) микропроцессор, память и 4 канальных адаптера (последовательных интерфейсов связи, работающих независимо друг от друга и независимо от центрального процессора). Это позволило создавать вычислительные системы, собирая их как конструктор, впервые с возможностью подборки числа процессоров, адекватных сложности решаемой задачи. Под ЭВМ с массовым параллелизмом в отличие от классических многопроцессорных ЭВМ с числом процессоров 2, 4, 8, 16 (как правило, не более) понимают ЭВМ с числом процессоров 4, 8, 10, 16, 32, 128, 256, 512, 1024 и более, в которых соблюдается принцип линейного (или почти линейного) роста производительности в зависимости от числа процессоров (физического объёма или стоимости). Появление таких ЭВМ связано с разработкой фирмой «Inmos» транспьютера T414. В отличие от обычных микропроцессоров в транспьютере на кристалле были реализованы: 32-хразрядный микропроцессор; внутрикристалльное оперативное запоминающее устройство (ОЗУ) объёмом 2 Кбайта; четыре канальных адаптера. Для разработки следующей версии транспьютера T800 фирме «Inmos» понадобилось около 5 лет. В него были введены 2 блока: блок выполнения операций с плавающей запятой; внутрикристалльное ОЗУ объёмом 4 Кбайт. Преимуществами транспьютерной идеологии построения сверхвысокопроизводительных ЭВМ были также развитое программное обеспечение, система интерфейсных СБИС (канальные, графические, ввода изображений и др.), система проблемноориентированных СБИС (обработка сигналов, изображений, дисковые системы, реализация тригонометрических функций и т. п.). Интерфейсные

и проблемно-ориентированные транспьютерные СБИС имели, как и транспьютеры, свойство каскадируемости с использованием стандартных каналов связи.

Транспьютерные системы, разработанные в 1990-х гг., были наиболее эффективной реализацией Н., как программно-аппаратных эмуляторов (воспроизведение работы других программ или устройств, которые предназначены для запуска одной системы в оболочке другой).

Классификация нейрокомпьютеров

Исходя из архитектуры Н. и нейронных сетей, нейрокомпьютеры классифицируют по типу логики (цифровые, аналоговые и гибридные); типу реализации нейросетевых алгоритмов – с полностью аппаратной реализацией и с программно-аппаратной реализацией (когда нейроалгоритмы хранятся в постоянном запоминающем устройстве – ПЗУ); характеру реализации нелинейных преобразований – с жёсткой структурой нейронов (аппаратно реализованных) и нейрокристаллы с настраиваемой структурой нейронов (перепрограммируемые); гибкости структуры нейронных сетей – с жёсткой и переменной нейросетевой структурой (т. е. топология нейронных сетей реализована жёстко или гибко). С точки зрения конструктивной реализации Н. можно подразделить на изделия, реализованные в виде карт и модулей, и конструктивно-автономные системы. Н., изготовленные в виде карт (виртуальные нейрокомпьютеры), как правило, предназначены для установки в слот расширения стандартного ПК. С другой стороны, Н. в виде модулей соединяются с управляющей Host-ЭВМ (ведущей ЭВМ) по стандартному интерфейсу или шине. Рассматривая подходы к аппаратной реализации Н. в виде конструктивно-автономных систем, необходимо отметить, что, несмотря на широкое распространение различных высокопараллельных ускорителей для различных задач, число моделей полнофункциональных Н. невелико, т. к. большинство из них служат для специального применения.

Первые разработки нейрокомпьютеров

Аппаратные разработки Н. начались в 1950-е гг. и велись параллельно с работами над универсальными ЭВМ; постепенно сфера применения Н. расширялась вследствие роста числа сложных формализуемых и неформализуемых задач, решить которые на

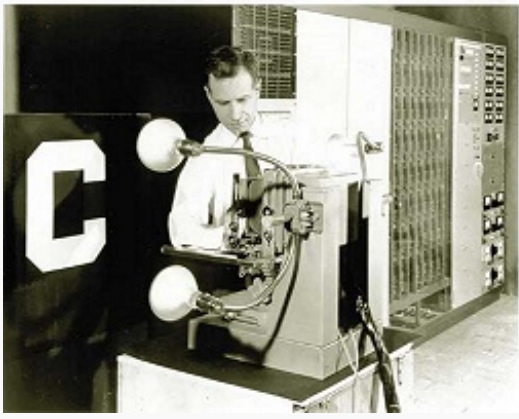


Рис. 1. Персептрон «MARK 1» в Корнеллской лаборатории аэронавтики. 1958г.

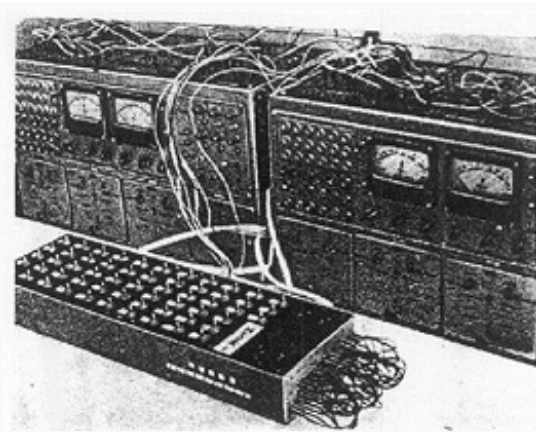


Рис. 2. Первый советский нейрокомпьютер.

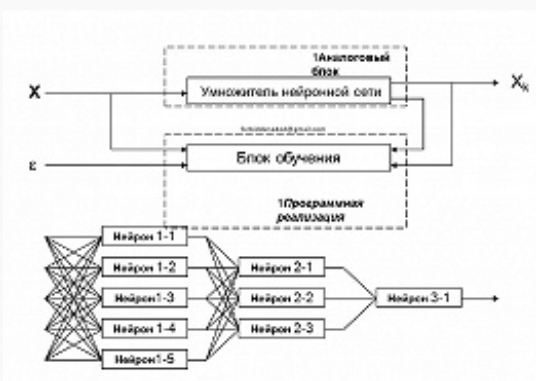


Рис. 3. Функциональная структура нейронной сети.

классических компьютерах было невозможно или очень трудно. Первый в мире Н. «MARK 1», [персептрон](#) (рис. 1), создан в 1958 американским нейрофизиологом Ф. Розенблаттом.

Ряд специализированных и экспериментальных Н. разрабатывался в 1960–70-е гг. В СССР в 1968 впервые был разработан нейрокомпьютер на базе двух аналоговых ЭВМ МН-4 и специализированного блока (рис. 2), реализующего функциональную структуру простейшей нейронной сети (рис. 3).

На рис. 3 сверху показана структурная схема специализированного блока, реализующего простейшую нейронную сеть, где X – входные образы (векторы, сигналы, изображения); ϵ – указания «учителя» (см. [Нейронные сети](#)), которые поступают в блок обучения; X_k – принятое решение в результате распознавания.

В нижней части рисунка представлена нейронная сеть, реализованная в аналоговом блоке. Здесь блок нейрон 1-1 – это первый нейрон первого слоя, соответственно нейрон 1-5 – пятый нейрон первого слоя; информация с выхода первого слоя поступает на второй слой нейронной сети (нейрон 2-1 – первый нейрон второго слоя и т. д.), а затем на вход третьего слоя нейронной сети, в которой окончательно

формируется выходной сигнал X_k (принятие решения в результате распознавания). В

1970 создан более совершенный Н. с более сложной функциональной структурой



Рис. 4. Функциональная структура четырёхслойного нейрокомпьютера: N – размерность входного вектора; K – число распознаваемых образов.

(рис. 4). Описаны четыре варианта структуры трёхслойной нейронной сети, реализуемые в аналоговом блоке. N – размерность входного вектора; K – число распознаваемых образов.

В 1974 в СССР разработан настольный Н., имеющий следующие технические характеристики: размерность пространства признаков – 5; входное напряжение (вольт) – 0–10; приведённая относительная ошибка проведения границы (%) – 0,1; частота смены образов (кГц) – 1; количество классов – 2;

потребная мощность (Вт) – 60. Под понятием «размерность пространства признаков» (размерность входного вектора) понимается число признаков $N=5$, по которым описывается образ (например, для описания человека при размерности пространства признаков 5 могут учитываться рост, вес, цвет глаз, волосы, причёска).

Отечественные разработки нейрокомпьютеров 1990-х гг.

В конце 1980-х гг. активизировались разработки цифровых Н., что связано с развитием микроэлектроники; например, стало возможно реализовать в одном кристалле фрагмент нейронной сети с каскадным соединением формальных нейронов. Один из первых цифровых Н. – «Геркулес», основу которого составляли сверхбольшие интегральные схемы (СБИС) AMD2900.

Технические характеристики Н. серии «Геркулес».

Объём памяти:

с использованием импортных СБИС – до 12 Мб;

с использованием отечественных СБИС – до 3 Мб

Пиковая производительность (число переключений связей в секунду):

импортных – $16 \cdot 10^6$;

отечественных – $14 \cdot 10^6$.

Максимальное число эмулируемых связей:

импортных – $8 \cdot 10^6$;

отечественных – $2 \cdot 10^6$

Максимальное число эмулируемых нейронов:

импортных – $8 \cdot 10^6$;

отечественных – $2 \cdot 10^6$

Программное обеспечение:

операционная система; инструментальная система разработки нейросетевых программ на базе языка N; среда для работы с готовыми нейросетевыми парадигмами; любые транспьютерные системы программирования.

В состав компьютеров серии «Геркулес» входят четыре модели:

НК 01.01 – нейрокомпьютер для организации сосредоточенных и распределённых нейрокомпьютерных систем (НКС) с модульным расширением через четыре транспьютерных канала; конструктив – одна плата 200×280 (мм);

НК 01.02 – нейрокомпьютер средней производительности для организации НКС с объединением в сеть через четыре транспьютерных канала; конструктив – две платы 200×280 (мм);

НК 01.04 – нейрокомпьютер высокой производительности с расширенными функциональными возможностями и модульным наращиванием нейровычислителей для организации НКС с объединением в сеть через четыре транспьютера; конструктив – четыре платы 200×280 (мм);

НК 01.01П – нейрокомпьютер широкого применения с интерфейсом шины IBM PC AT

и четырьмя транспьютерными каналами; конструктив – одна плата 110×340 (мм), устанавливается в персональную ЭВМ типа IBM PC AT.

Нейрокомпьютеры на основе ПЦОС и ПЛИС

Стремительный переход современных систем управления на цифровые стандарты привёл к необходимости обрабатывать с высокой скоростью достаточно большие объёмы информации. Процессоры цифровой обработки сигналов (ПЦОС), обладая мощной вычислительной структурой, позволяют реализовать различные алгоритмы обработки информационных потоков. Сравнительно невысокая цена, а также развитые средства разработки программного обеспечения позволяют легко применять их при построении вычислительных систем с массовым параллелизмом. ПЦОС вот уже на протяжении двух десятилетий являются элементной базой Н., реализованных как в виде карт и модулей, так и в виде конструктивно-автономных систем.

Сложная обработка и фильтрация сигналов, например, распаковка сжатых аудио- и видеоданных или маршрутизация информационных потоков, требует применения достаточно производительных вычислительных систем. Подобные системы могут быть реализованы на различной элементной базе, но наибольшее распространение получили устройства с применением цифровых сигнальных процессоров и программируемой логической интегральной схемой (ПЛИС, англ. **programmable logic device**, PLD). Программируемая логика способна работать на более высоких частотах, но поскольку управление реализовано аппаратно, то изменение алгоритмов работы требует перепрограммирования интегральной схемы. Низкая тактовая частота ПЦОС пока ограничивает максимальную частоту обрабатываемого аналогового сигнала до уровня в 10–20 МГц, но программное управление позволяет достаточно легко изменять не только режимы обработки, но и функции, выполняемые ПЦОС. Помимо обработки и фильтрации данных, ПЦОС могут осуществлять маршрутизацию цифровых потоков, выработку управляющих сигналов и даже формирование сигналов системных шин ISA (от англ. Industry Standard Architecture bus), PCI (от англ. Peripheral Component Interconnect bus) и др. Особенностью использования ПЦОС и ПЛИС в качестве элементной базы Н. является то, что ориентация в выполнении

нейросетевых операций обуславливает, с одной стороны, повышение скоростей обмена между памятью и параллельными арифметическими устройствами, а с другой – уменьшение времени весового суммирования (умножения и накопления) за счёт применения фиксированного набора команд типа регистр-регистр.

В 1992 был реализован Н. на базе ПЛИС Xilinx с 400 тыс. вентилей на кристалле.

В том же году разработан аналого-цифровой нейрокомпьютер (АЦНК) для распознавания сигналов по форме и имеющий следующие характеристики (таблица 1):

Нейрокомпьютер (АЦНК) предназначен для входного контроля микросхем памяти серий RUX ($x = 2, 4, 8, 12$). ВАЦНК реализована континуальная (от лат. continuum – непрерывное, сплошное) трёхслойная нейронная сеть, синтезированная по парадигме нейронных сетей с переменной структурой.

Таблица 1. Технические характеристики АЦНК

Диапазон входного сигнала	0–3 В
Приведённая погрешность обработки входного сигнала	5%
Полоса сигнала	200 КГц
Тактовая частота	5 мкс
Входы аналогового нейрокомпьютера	аналоговый; тактовый
Запуск	внешний, по сигналу цикла; внутренний, от тест- генератора
Количество классов	2
	не более 8 (1-й

Количество нейронов	вариант); не более 10 (2-й вариант);
Размерность весовых коэффициентов	8 бит
Весовые коэффициенты хранятся в программируемом постоянном запоминающем устройстве (ППЗУ) и могут быть изменены заменой ППЗУ	
Результаты классификации отображаются на передней панели с помощью светодиодов	
Питание	от сети переменного тока 220 В
Частота	50 Гц



Рис. 5. Архитектура транспьютерного рабочего места с одной или несколькими десяти транспьютерными платами.

Важным этапом в развитии Н. было создание в кон. 1980-х гг. принципиально новых аппаратно-программных нейронных сетей на базе транспьютерных систем, являющихся прототипом современных суперЭВМ. В нач. 1990-х гг. в России были разработаны транспьютерные системы для аппаратно-программной эмуляции универсальных и специализированных нейронных сетей (рисунки 5, 6, 7):

В нач. 21 в. в России выпускаются высокопроизводительные мультипроцессорные платы как в виде «виртуальных» устройств, так и в виде крейтовых модулей и полнофункциональных вычислителей. Некоторые из них приведены ниже.

Нейрокомпьютер DSP60V6 компании «Инструментальные системы»

(Россия)

DSP60V6 – высокопроизводительный мультипроцессорный модуль сбора и цифровой обработки сигналов, основанная на ПЦОС ADSP-21060/62 SHARC. Он позволяет выполнять программы SHARC во взаимодействии с устройствами, размещёнными на дочерней плате ADM, в качестве которой могут использоваться модули аналого-цифрового (АЦП) и цифро-аналоговых (ЦАП) преобразователей. ADP60V5 устанавливается в промышленные крейты с размером плат 6U. Нейрокомпьютер может работать как автономно, так и с компьютером, имеющим шину VME. Программы ADSP-21060/62 и данные загружаются через шину VME и/или через пользовательские выводы разъема J2/P2 (X2). Через данные интерфейсы осуществляется сброс ПЦОС, просмотр памяти и инициирование выполнения программ. Н. построен на процессорном кластере из шести ПЦОС ADSP2106х компании «Analog Devices» производительностью 120 MFLOPS каждый. В процессорном кластере устанавливается до 1М x 48 бит оперативной статической памяти и до 16М x 32 бит оперативной динамической памяти. Кластер имеет в своём адресном пространстве VME интерфейс и FLASH-память 4М x 8 бит. Н. может работать независимо от шины VME – в этом случае приём и передача данных производится по шести коммуникационным портам.

Нейрокомпьютер М1 компании «Модуль» (Россия)

Модуль М1 выполнен на базе ПЦОС TMS320C40 американской компании «Texas Instruments», связанных по высокоскоростным линкам. Имеется возможность каскадирования – подключения к модулю аналогичных плат. Основные характеристики: ISA-интерфейс; до четырёх TMS320C40 с частотой 50 МГц; пиковая производительность 100 MIPS, 200 MFLOPS, 1100 MOPS; объём SRAM 5 Мб (по 1 Мб на ПЦОС + 1 Мб, разделяемый с ПК); время выборки 20 нс; объём DRAM до 32 Мб; 8 внешних связей (скорость 20 Мб/с).

Нейрокомпьютер М2 компании «Модуль»

Многопроцессорный модуль М2 для ЦОС выполнен на основе ПЦОС TMS320C40 компании «Texas Instruments» и представляет собой одноплатную многопроцессорную

вычислительную систему. Н. предназначен как для автономной работы, так и для функционирования в составе ПК с системной шиной VME-bus, в т. ч. состоящей из нескольких таких же модулей. Конструктивно блок выполнен в соответствии с механическим стандартом на интерфейс VME-bus IEEE 1014 (6U). Н. M2 содержит: VME-bus контроллер; Master/Slave интерфейс; до шести TMS320C40 с частотой 50 МГц; до 2 Мб SRAM на процессор; до 64 Мб DRAM на плате; Flash-EEPROM до 0,5 Мб; JTAG-интерфейс; RS-232-интерфейс. Общая производительность до 300 MFLOPS.

Зарубежные разработки нейрокомпьютеров кон. 1990-х – нач. 2000-х гг.

Среди большого количества разработок Н. зарубежных фирм 1990–2000-х гг. необходимо отметить разработки IBM, «Telmat», «Sundance» и «Intel». Цифровой нейрочип ZISC (Zero Instruction Set Computer) фирмы IBM (США) имеет 64-разрядный входной вектор, максимальное число слоёв (определяется числом операций умножения с накоплением, выполняемых за один такт для операндов длиной 8 бит) 36 нейронов, частоту 20 МГц. Нейрочип ZISC78 (рис. 8) совместной разработки компаний «Silicon Recognition» и IBM содержит 78 узлов-нейронов и хранит в каждом из них 64-битный вектор. Сравнение всех этих векторов с поступающим на вход сигналом занимает три микросекунды. Такие чипы можно сращивать друг с другом и получать мощные обучаемые инструменты для распознавания, как, например, схема из 4000 узлов, заказанная Министерством обороны США и способная распознавать 1,2 миллиарда векторов в секунду.

Одним из основных применений Н. на базе нейрочипа ZISC являются интеллектуальные камеры на основе ZISC-технологий (интеллектуальная камера для распознавания объектов в видеоизображениях и принятия решений на базе нейрочипов ZISC, встроенных в корпус камеры), обучение программой ZEF IR и др. Важное направление использования нейрокомпьютеров ZISC – высокопроизводительные вычисления с применением нейроплат с несколькими нейрочипами. Н. на базе нейрочипов ZISC применяются при обработке сигналов, распознавании звуков, гидро- и радиолокации.

Нейромпьютер L-neuro фирмы «Telmat» (Франция)

Нейрокомпьютер L-нейро фирмы «Telmat» является основной европейской разработкой Н. 1990-х гг.

Фирма «Intel» (США) создала в сер. 1990-х гг. Н. на основе аналого-цифрового нейрочипа ETANN (Electrical Trainable Artificial Neural Network) (Таблица 2).

Таблица 2. Технические характеристики нейрочипа ETANN

Суммарное время обработки входного вектора	3,3
Частота подачи входных векторов, КГц	300
Скорость вычислений, млрд. операций умножения в секунду	2
Вычисления:	1,3
Всего операций умножения, шт:	$64 \cdot 64 = 4096$
Всего операций умножения в секунду	$4096 \cdot 300000 = 1\ 228\ 800\ 000$ (операций/с)
Эквивалентная пропускная способность, М байт;	20
Разрядность эквивалентного цифрового входа, бит	3
число входов, шт.	64
суммарное число (двойной бит, т.н. двойное слово);	$8 \cdot 64 = 512$
суммарное число бит/ с	64
бит/с	$512 \cdot 300\ 000 = 153\ 600\ 000$
Число умножителей в сети, шт.	16384
Разрядность весовых	

коэффициентов, бит	> 6
Число аналоговых ячеек на кристалле для хранения весовых коэффициентов, шт.	10240

NEURON – нейропроцессор фирмы «Echelon» (США)

Нейропроцессор NEURON ориентирован на создание кластерно-параллельных вычислительных систем. Программно-алгоритмическое обеспечение по управлению кластерной структурой реализовано внутри кристалла. Предложенная архитектура кристалла стала ныне основой стандарта ANSI/EIA 709.1-1999 построения различных АСУ технологическими процессами. В семействе нейрочипов NEURON выделяют NEURON 3120 и NEURON 3150. Кристалл содержит 2К динамической памяти для хранения весов и данных, 512 байт (EEPROM) для размещения управляющих программ. Для выполнения специализированных сетевых и управляющих операций в структуре кристалла имеется два спецвычислителя: Applications CPU, Network CPU. Также следует отметить реализованные на кристалле широкие коммуникационные возможности.

Нейрокомпьютер Neuro-Turbo фирмы «Fujitsu» (Япония)

Он выпускается на основе четырёх связанных кольцом 24-разрядных ПЦОС с плавающей точкой MB86220 (основные параметры: внутренняя точность – 30 разрядов, машинный цикл – 150 нс, память программ – 25 Кслов x 2 (внутренняя), 64 Кслов x 4 (внешняя), технология изготовления КМОП 1,2 мкм). Активационная функция нейронов ограничивается в диапазоне от 0 до 1, а возможные значения входов не превышают 16 разрядов, что обуславливает достаточную точность при 24-разрядной архитектуре. Построение Н. на основе кольцевой структуры объединения ПЦОС позволяет снизить аппаратные затраты на реализацию подсистемы централизованного арбитража межпроцессорного взаимодействия. Нейрокомпьютер Neuro-Turbo состоит из четырёх ПЦОС, связанных друг с другом двухпортовой памятью (ДПП). Каждый из ПЦОС может обращаться к двум модулям такой памяти (ёмкостью 2К слов каждая) и к рабочей памяти (ёмкостью 64К слов x 4 банка) в своём

адресном пространстве. Вследствие того что доступ к двухпортовой памяти осуществляется случайным образом одним из соседних ПЦОС, передача данных между ними происходит в асинхронном режиме. Рабочая память используется для хранения весовых коэффициентов, данных и вспомогательной информации. Для успешной работы нейронной сети необходимо получение свёрток во всех элементарных нейронных узлах. Свёртка – это последовательный процесс, заключающийся в сложении N точек входной функции, умноженных на коэффициенты (т. н. таблицу свёртки), для получения одной точки результирующей функции. Операция проводится столько раз, сколько точек будет содержать результирующая функция. Кольцевая структура объединения ПЦОС обеспечивает конвейерную архитектуру свёртки, причём передача данных по конвейеру осуществляется посредством ДПП. После того как ПЦОС загружает данные из одной ДПП, он записывает результаты своей работы в смежную ДПП; следовательно, кольцевая архитектура параллельной обработки обеспечивает высокую скорость операции с использованием относительно простых аппаратных решений. Для выполнения функций общего управления используется Host-ЭВМ на основе обычной вычислительной системы. Обмен данными между нейроплатой и Host-ЭВМ происходит через центральный модуль ДПП. Загрузка программ в ПЦОС осуществляется посредством памяти команд для каждого ПЦОС. Следовательно, архитектура Н. полностью соответствует параллельной распределённой архитектуре типа MIMD. Пиковая производительность системы 24 MFLOPS. Для реализации модели нейронной сети иерархического типа фирмой «Fujitsu» выпущена нейроплата на основе ПЦОС MB86232 с собственной памятью до 4 Мб, что позволяет осуществлять моделирование нейронной сети, содержащей более 1000 нейронов. Структура нейронной сети включает в себя входной, промежуточный и выходной уровни (наибольшее число скрытых слоёв – два; ограничение по памяти). Для обучения Н. используются оригинальные алгоритмы: виртуального импеданса; скорректированного обучения; расширенного обучения. Каждая из рассмотренных типовых структур нейронной сети может моделироваться на основе приведённых выше вариантов построения мультипроцессорных нейрокомпьютеров. Так, для Н. на основе ПЦОС TMS320C4x при реализации какой-либо из схем (кольцо, иерархическое дерево, гиперкуб и т. п.) достаточно только изменить назначения коммуникационных

Наименование нейрочипа	Конфигурация	CPS	CPSPW	CPPS	CUPS
NLX420	32-16, 8 bit mode	10M	20K	640M	-
100 NAP	4 chips, 2M wts, 16 bit mantissa	250M	125	256G	64M
WSI (Hitachi)	576 neuron Hopfield	138M	3.7	10G	-
N64000 (Inova)	64-64-1, 8 bit mode	871M	128K	56G	220M
MA16	1 chip, 25MHz	400M	15M	103G	-
ZISC036	64 8 bit element inp. Vector	-	-	-	-
MT19003	4-4-1-, 32 MHz	32M	32M	6.8G	-
MD1220	8-8	9M	1M	142M	-
NI 1000	256 5 bit element inp. Vector	40 000 vec in sec.	-	-	-
L-neuro-1	1-chip, 8 bit mode	26M	26K	1.6G	32M
NM6403	8 bit mode, 50MHz	1200M	150M	77G	-

Текущие разработки

В нач. 21 в. наиболее востребованы цифровые Н., которые реализуют в различных технологических вариантах, например на базе ПЛИС (логических матриц), систем на кремниевой пластине. Разработки теории нейронных сетей, нейроматематики и Н. тесно взаимосвязаны. С одной стороны, развитие нейроматематики способствует развитию теории нейронных сетей, которая, в свою очередь, направляет развитие технических разработок Н., с другой – уровень развития технических средств определяет диапазон возможностей для построения нейронных сетей и нейросетевых

алгоритмов решения задач.

Кардинальным направлением развития Н. в текущем тысячелетии являются нейрочипы как эффективное средство построения перспективных универсальных и специализированных вычислительных систем для решения сложных задач в нейросетевом логическом базисе.

Литература

Лит.: Розенблатт Ф. Принципы нейродинамики. М., 1963; Галушкин А. И. Нейрокомпьютеры. М., 2000; Ежов А. А. Квантовые нейронные сети. М., 2001; Рамбиди Н. Г. Молекулярные нейросетевые устройства. М., 2002. Галушкин А.И., Точенов В.А. Транспьютерные системы – начало становления в России ЭВМ с массовым параллелизмом, «Нейрокомпьютер», №3, 2005; Аляутдинов М. А., Галушкин А. И., Казанцев П. А, Остапенко Г. П., Нейрокомпьютеры: От программной к аппаратной реализации, из-во «Горячая линия – Телеком», М., 2008г.; Галушкин А. И. Нейрокомпьютеры, М., 2014; L. M. Reyneri Implementation Issues of Neuro-Fuzzy Hardware: Going toward HW/SW Codesign // IEEE Transaction on Neural Network, V.14, N1, January, 2003.; Siencemag.org SIENCE, 8 AUGUST 2014, VOL 345, ISSUE 6197, P 668.; Джеффри Берт, Чип-мейкеры намерены объединить процессоры и ускорители. PC Week, 2016.